

© EPODOC / EPO

PN - JP2001007712 A 20010112
PD - 2001-01-12
PR - JP19990175540 19990622
OPD - 1999-06-22
TI - TRANSMITTER
IN - ITO NORIO;TAKADA YUTAKA
PA - SEIKO EPSON CORP
IC - H04B1/04 ; H03B5/30

© WPI / DERWENT

TI - Radio information transmitter such as portable communication terminal, performs monolithic integration of SAW oscillator, modulator, amplifier and the signal adjustment unit using CMOS process

PR - JP19990175540 19990622

PN - JP2001007712 A 20010112 DW200118 H04B1/04 012pp

PA - (SHIH) SEIKO EPSON CORP

IC - H03B5/30 ;H04B1/04

AB - JP2001007712 NOVELTY - An amplifier (14) amplifies the output signal of modulator (13) which modulates output of SAW oscillator (11), which is then adjusted by an adjustment unit (14a). The transmitter performs monolithic integration of SAW oscillator, modulator, amplifier and the adjustment unit, using CMOS process.

- USE - Radio information transmitter such as portable communication terminal, wrist watch with communication function, remote door lock apparatus.
- ADVANTAGE - As monolithic integration of oscillator, modulator, amplifier, adjustment unit is performed in single chip, reduction in cost, power consumption and size, is achieved with high performance, stable operation.
- DESCRIPTION OF DRAWING(S) - The figure shows the circuit block diagram of entire component of the transmitter.
- SAW oscillator 11
- Modulator 13
- Amplifier 14
- Adjustment unit 14a
- (Dwg.3/12)

OPD - 1999-06-22

AN - 2001-175389 [18]

is set in a package 5

is CMOS process and is made into a single-chip form. The output means 14a are formed and made into single-chip form 10 by using the modulator 7, the amplifier 4 and the output strength adjusting means 14a. The modulation signal supplied by an oscillator 12, output strength adjusting means 14a adjust the output strength of frequency and a signal where a transmitted control is received. An output strength adjusting means 14a adjusts the output strength of the received X-modulated signal 13 according to the stabilized reference signal 14b. The frequency of the 24W oscillator 14 is adjusted to the frequency of the received signal 13. The frequency dispersion of a transmitted signal can be adjusted by a frequency adjusting means 14a. A frequency adjusting means 14a can adjust an oscillator frequency, is installed in an integrated circuit 10. A CMOS process 5 is set in a package 5.

© PAJ / JPO

PN - JP2001007712 A 20010112

PD - 2001-01-12

AP - JP19990175540 19990622

IN - TAKADA YUTAKA;ITO NORIO

PA - SEIKO EPSON CORP

TI - TRANSMITTER

AB - PROBLEM TO BE SOLVED: To provide a communication unit, where the main constitution of a communication machine whose cost and power consumption can be reduced and which can be miniaturized is loaded on one chip by making an oscillator, a modulator, an amplifier and a output strength adjusting means into one chip by a CMOS process.

- SOLUTION: A surface acoustic wave(SAW) oscillator11 generates a prescribed reference frequency. A frequency adjusting means, which can finely adjust an oscillation frequency, is installed in an oscillator 12. The transmission frequency dispersion of a transmitter owing to the dispersion of the frequency of the SAW oscillator11 is corrected. A modulator 13 modulates the stabilized reference frequency into a signal, where a transmitted content is reflected. An output strength adjusting means 14a adjusts the output strength of a transmission signal amplified by an amplifier14. The oscillator 12, the modulator 13, the amplifier 14 and the output strength adjusting means 14a are formed and made into single chip form10 by using a CMOS process and is made into a single-chip form. The chip10 is sealed in a package P.

I - H04B1/04 ;H03B5/30

第 二 章

一、填空题

1. 在 100 以内，能被 3 整除的数有 33 个。

2. 在 100 以内，能被 5 整除的数有 20 个。

3. 在 100 以内，能被 7 整除的数有 14 个。

4. 在 100 以内，能被 11 整除的数有 9 个。

5. 在 100 以内，能被 13 整除的数有 7 个。

6. 在 100 以内，能被 17 整除的数有 5 个。

7. 在 100 以内，能被 19 整除的数有 5 个。

8. 在 100 以内，能被 23 整除的数有 4 个。

9. 在 100 以内，能被 29 整除的数有 3 个。

10. 在 100 以内，能被 31 整除的数有 3 个。

11. 在 100 以内，能被 37 整除的数有 2 个。

12. 在 100 以内，能被 41 整除的数有 2 个。

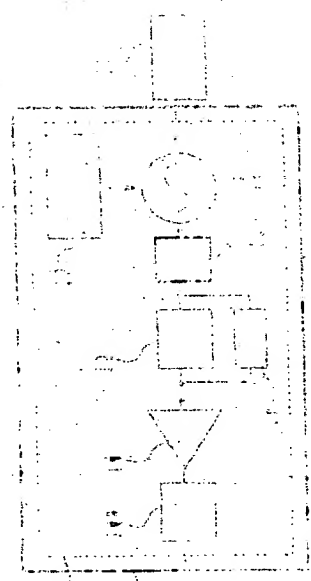
13. 在 100 以内，能被 43 整除的数有 2 个。

二、解答题

1. 在 100 以内，能被 3 和 5 同时整除的数有 6 个。

2. 在 100 以内，能被 3 和 7 同时整除的数有 4 个。

3. 在 100 以内，能被 3 和 11 同时整除的数有 3 个。



4. 在 100 以内，能被 3 和 13 同时整除的数有 2 个。

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7712

(P2001-7712A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 B 1/04

H 0 4 B 1/04

A 5 J 0 7 9

H 0 3 B 5/30

H 0 3 B 5/30

A 5 K 0 6 0

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21) 出願番号

特願平11-175540

(22) 出願日

平成11年6月22日 (1999.6.22)

(71) 出願人 000002395

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 高田 豊

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 伊東 紀夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100053388

弁理士 鈴木 喜三郎 (外2名)

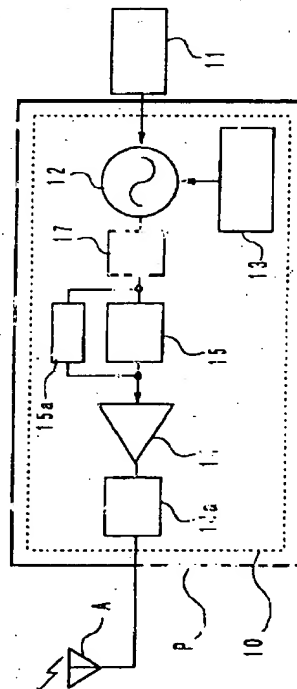
最終頁に続く

(54) 【発明の名称】 送信機

(57) 【要約】

【課題】 低コスト化、低電力消費化、小型化を図れる通信機の主要構成を1チップに搭載した通信ユニットを提供する。

【解決手段】 送信機における主要な回路要素を、CMOSプロセスで1チップ化し、該チップに、低い周波数から高い周波数をまで利用可能に、任意に選択する周波数倍加手段や分周手段、発振子の温度依存性を補償する温度補償手段を、追加搭載したり、該チップと、発振子とを1パッケージ化した。



【特許請求の範囲】

【請求項1】 SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を変調する変調器と、前記変調器の出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記変調器、前記増幅器および前記出力強度調整手段をCMOSプロセスで1チップ化した送信機。

【請求項2】 SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を倍加する周波数倍加手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記周波数倍加手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化したことを特徴とする送信機。

【請求項3】 SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を倍加する周波数倍加手段と、前記周波数倍加手段の機能をバイパスさせる周波数倍加切替え手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、

少なくとも、前記発振器、前記周波数倍加手段、前記周波数倍加切替え手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化したことを特徴とする送信機。

【請求項4】 SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の周波数を分周する分周手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、

少なくとも、前記発振器、前記分周手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化したことを特徴とする送信機。

【請求項5】 SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の周波数を分周する分周手段と、前記発振器の出力信号を倍加する周波数倍加手段と、前記周波数倍加手段の機能をバイパスさせる周波数倍加切替え手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段

と、前記増幅器の出力信号を電波として放出するアンテナを備えた送信機において、

少なくとも、前記発振器、前記分周手段、前記周波数倍加手段、前記周波数倍加切替え手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化したことを特徴とする送信機。

【請求項6】 SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、SAW発振子における周波数の温度依存特性を補償する温度補償手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、

少なくとも、前記発振器、前記変調器、前記増幅器、前記出力強度調整手段および前記温度補償手段を、CMOSプロセスで1チップ化したことを特徴とする送信機。

【請求項7】 SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を倍加する周波数倍加手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記SAW発振子における周波数の温度依存特性を補償する温度補償手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記周波数倍加手段、前記変調器、前記増幅器、前記出力強度調整手段および前記温度補償手段を、CMOSプロセスで1チップ化したことを特徴とする送信機。

【請求項8】 前記発振器に、発振周波数の調整ができる周波数調整手段を設けたことを特徴とする請求項1乃至7記載の送信機。

【請求項9】 前記変調回路に、振幅シフトキーイング、又は周波数シフトキーイング、又は位相シフトキーイングを用いたことを特徴とする請求項1乃至7記載の送信機。

【請求項10】 前記周波数倍加手段に、周波数 n 倍方式、又はPLL方式を用いたことを特徴とする請求項2、3、5または7記載の送信機。

【請求項11】 前記CMOSプロセスで1チップ化されたICと、前記SAW発振子とを1パッケージ化したことを特徴とする請求項1乃至7記載の送信機。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】本発明は、小型軽量な送信機に関し、これらは、無線情報機器、特に携帯用情報機器端末に用いられ、例えば、通信機能を有した腕時計、離れた所からドアを施錠する装置や、装置を制御する端末機器に最適なものである。

【0002】

【従来の技術】一般に、無線通信技術は、多様な産業分

野や、家庭用に用いられており、各種の多様な提案が行なわれている。

【0003】特に、例えば、近年、携帯電話やPHS等が急速に普及して移動体通信分野、活発化しており、この技術的な成果が波及的に、微弱無線を用いた屋内無線データ伝送や識別装置、各種の遠隔測定や遠隔制御の分野にも、影響を及ぼしている。

【0004】また、高周波を利用する無線機器において、携帯機器や小型機器に用いるために、GaAs(ガリウム、ヒ素)等を素材に、バイポーラ・プロセスを用いて、通信機の主要構成要素を1チップ化したものが提案されている(例えば、特開平5-122259号)。

【0005】【発明が解決しようとする課題】ところが、上記バイポーラ・タイプの通信チップにおいては、コストが高み、電力消費が比較的に多く、更に、小型化の面で不十分であり、さらなる高性能化が望まれている。

【0006】また、GaAsは、さらに高価であり、環境保護するリサイクル性の面でも、好ましくない。

【0007】そこで、本発明は、低コスト化、低電力消費化、小型化を図る通信機の主要構成を1チップに搭載した通信ユニットを提供することを目的としている。

【0008】【課題を解決するための手段】本願第1請求項に記載した発明は、SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を変調する変調器と、前記変調器の出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0009】本願第2請求項に記載した発明は、SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を倍加する周波数倍加手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記周波数倍加手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0010】本願第3請求項に記載した発明は、SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を倍加する周波数倍加手段と、前記周波数倍加手段の機能をバイパスさせる周波数倍加切替手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備

えた送信機において、少なくとも、前記発振器、前記周波数倍加手段、前記周波数倍加切替手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0011】本願第4請求項に記載した発明は、SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の周波数を分周する分周手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナを備えた送信機において、少なくとも、前記発振器、前記分周手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0012】本願第5請求項に記載した発明は、SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の周波数を分周する分周手段と、前記発振器の出力信号を倍加する周波数倍加手段と、前記周波数倍加手段の機能をバイパスさせる周波数倍加切替手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記分周手段、前記周波数倍加手段、前記周波数倍加切替手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0013】本願第6請求項に記載した発明は、SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記SAW発振子における周波数の温度依存特性を補償する温度補償手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記変調器、前記増幅器、前記出力強度調整手段および前記温度補償手段を、CMOSプロセスで1チップ化した構成とされている。

【0014】本願第7請求項に記載した発明は、SAW発振子と、前記発振子と発振回路を構成する発振器と、前記発振器の出力信号を倍加する周波数倍加手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記SAW発振子における周波数の温度依存特性を補償する温度補償手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記周波数倍加手段、前記変調器、前記増幅器、前記出力強度調整手段および前記温度補償手段を、CMOSプロセスで1チップ化した構成とされている。

【0015】本願第8請求項に記載した発明は、第1乃至7請求項において、発振周波数の調整ができる周波数調整手段を設けた構成とされている。

【0016】本願第9請求項に記載した発明は、第1乃至7請求項において、前記周波数倍加手段に、振幅シフトキーイング、周波数シフトキーイングまたは位相シフトキーイングを用いた構成とされている。

【0017】本願第10請求項に記載した発明は、第2、3、5または7請求項において、前記周波数倍加手段に、周波数で1倍方式またはPLL方式を用いた構成とされている。

【0018】本願第11請求項に記載した発明は、第1乃至7請求項において、CMOSプロセスで1チップ化されたICと、前記SAW発振子とを1パッケージ化した構成とされている。

【0019】このように、本発明によれば、CMOSプロセスを用いて、このような通信機の主要な回路を1チップに集約化しているため、従来のGaAs、バイポーラ・プロセスを用いた回路構成に比べて、大幅な低コスト化及び低電力消費化を図ることができ、更に、より小型化も達成でき、これらに基づいた、効果を奏することができる。

【0020】また、1チップ化しているため、使用者の利便性や、高性能化、安定動作化を図ることが可能となる。

【0021】

【発明の実施の形態】以下に、本発明に係わる第1具体例から第8具体例までの送信機の構成を説明する。

【0022】まず、本発明に係わる無線を用いた送信機の第1具体例を、図1及び図2に基いて説明する。

【0023】尚、後述する各具体例において、基本的に共通する回路の構成要素は、説明を簡略化することにする。

【0024】すなわち、本第1具体例の送信機は、図1に示すように、所定の基準周波数を生成する発振子であるSAW発振子11と、この基準周波数を安定化する発振回路を備えた発振器12と、この安定化された基準周波数を、送信内容を反映した信号に変調する変調器13と、送信内容を反映して変調された信号を、所定強度に増幅する増幅器14と、この増幅器の出力強度を調整させることができる出力強度調整手段14aと、この調整された送信信号を、電波として空中に送出する送信アンテナAとから構成され、発振器12、変調器13、増幅器14、出力強度調整手段14aを、CMOSプロセスを用いて、単一チップ10上に形成し、1チップ化したものである。

【0025】すなわち、図2に示すように、これらの回路が実際に搭載された小片であるチップ・ダイ10は、所定素材のパッケージPに封入され、規格化された配列の外部端子と電気的に接続されている。

【0026】再び図1に示すように、このSAW発振子11とは、表面弾性波(Surface Acoustic Wave)発振子の略称であり、所定形状に形成された水晶等の圧電基板に設けたすだれ状の電極と、格子状の反射器とから構成され、これらの電極に所定電圧を印加すると、電極間で電気信号が多重反射され、定在波が生じ、この定在波を用いて、外部に安定した一定周波数を出力する発振子である。また、このSAW発振子11からは、基本的に、数百MHz以上の発振周波数を得ることができる。

【0027】また、出力強度調整手段14aとは、増幅器14で増幅された送信信号の出力強度を調整することができるものであり、これにより1種類のチップがあれば多種多様な無線規格に適合した送信出力強度を設定することができる。

【0028】また、発振器12には、発振周波数の微調整ができる周波数調整手段を設けてあり、SAW発振子11自体の周波数バラツキに伴う送信機の送信周波数バラツキを補正することができる。

【0029】尚、変調器13の変調方式としては、適宜、送信条件に応じて、振幅シフト・キーイング方式、周波数シフト・キーイング方式、位相シフト・キーイング方式のいずれから選択したものを用いて良い。

【0030】すなわち、一般的に、送信内容が反映された符号化されたデータを送信するためには、デジタル変調を行なう必要があり、このデジタル変調方式としては、振幅の大小または有無によって符号化を行なう振幅シフト・キーイング方式(ASK)、異なる2波の周波数により符号化を行なう周波数シフト・キーイング方式(FSK)、位相のずれた2波の信号により符号化を行なう位相シフト・キーイング方式(PSK)等が、代表的である。そして、それぞれ、送信データの転送レートや、送受信感度の条件等に応じて、適宜、最適なものを用いている。

【0031】従って、CMOSプロセスを用いて、このような回路を形成しているため、従来のGaAs、バイポーラ・プロセスを用いた回路構成に比べて、大幅な低コスト化を図ることができる。

【0032】また、このCMOSプロセスによれば、回路の集積密度を向上することができ、小型化を図ることができる。

【0033】すなわち、チップ・ダイ・サイズも、例えば、従来の2mm角のものに対して、本例のCMOSタイプにすれば、約1mm角未満のものにでき、このチップ・ダイを収納するパッケージP本体のサイズも、外部の接続端子の配置等の制約に応じた可能な限り、小さなものにすることができる。

【0034】これは、近年、各種の情報機器産業で、処理能力を向上するため、より大規模且つ高密度な集積回路を製作する必要があり、このために、回路パターン配線の微細化が進められたことに他ならない。そし

て、このような大規模且つ高密度化を可能とした微細化プロセス技術の副産物として、回路内の配線インダクタンスや容量の低減効果をもたらし、結果的に、デバイスとしての高周波特性を向上させることに寄与している。

【0035】また、CMOS構造の大きな特徴である低電力消費化を図れるとともに、電気的な回路の動作に悪影響を与える回路自体による動作時の発熱量も減少することができる。

【0036】特に、例えば、電池等の内蔵電源を使用する携帯機器に、本例を用いた場合には、同一容量の電源を用いても、その携帯機器における動作可能時間を長時間化することができ、基本性能を向上できる。また、低消費電力化している同様な理由から、より小型軽量の内蔵電源で済み、特に、携帯機器における重量の主要な部分を占める内蔵電源を軽量化できるので、携帯機器全体としての小型軽量化を図ることもできる。

【0037】また、このように、送信機の主要な構成要素を、1チップに集約化したことにより、各種の影響を受けやすい高周波回路においても、製品バラツキの少ない良好な品質を確保でき、且つ、安定した十分に設計通りの性能発揮が期待できる。

【0038】すなわち、構成要素の各回路群を接続する配線を不要としているので、配線の接続不良や断線等による障害を未然に回避することができるとともに、回路の動作に悪影響を与える配線による容量性成分や誘導性成分が低減され、十分に設計通りの安定した性能発揮が期待できる。

【0039】特に、このような、高い周波数を用いる回路においては、人的な要因や、様々な外部的な要因によって、その回路動作に悪影響を受けやすいが、1チップに集約化しているため、人的な要因が介在することを除去できるとともに、使用者の利便性を向上することができる。

【0040】すなわち、高周波送信機の主要な構成要素に、別部品を用いて、送信機を形成した場合には、各部品毎の性能特性や品質バラツキによって、良好な動作を妨げられたり、各部品の配置による配線長さや、配線同士の干渉によって、設計通りの性能が発揮できなかったりして、その回路設計は困難であり、組立て取扱い性等も劣っている。

【0041】しかし、あらかじめ正常な動作が確保されている1チップに集約化していることにより、これらを未然に回避でき、容易に取扱うことができるとともに、高い信頼性を確保することができる。

【0042】次に、本発明に係わる第2具体例の送信機を、図3に基づき説明する。

【0043】本例の送信機は、上述した第1具体例の1チップ構成に、周波数倍加手段15を追加したものであり、固定された周波数による送信のみならず、送信周波数を可変に構成し、使用者等によって任意の送信周波数

を選択可能にしたものであるとともに、この周波数倍加手段15により送信周波数を倍加し、第1具体例よりも高い周波数で、送信できるようにしたものである。

【0044】すなわち、図3に示すように、発振器12と、増幅器14との間に、周波数倍加手段15を介装した構成とされ、これらの発振器12、変調器13、増幅器14、出力強度調整手段14a、周波数倍加手段15を、CMOSプロセスを用いて、単一チップ10上に形成し、1チップ化したものである。

【0045】また、この周波数倍加手段15は、図示を省略したが、使用者等が任意の送信周波数を入力設定する外部の入力手段や、予め設定された特定の送信周波数に自動設定する自動設定手段に、電気的に接続されている。

【0046】尚、周波数倍加手段15の周波数可変方式としては、適宜、使用条件に応じて、入力された信号に対して、その n 倍の周波数を出力する周波数で倍方式、PLL(フェイズ・ロックド・ループ)方式から選択したものを用いて良い。

【0047】このPLL方式とは、位相比較器(フェーズ・コンパレータ)と、ループ・フィルタと、VCO(電圧制御発振器)と、分周器とをループ状に接続した構成とされ、VCOの出力周波数を、位相比較器に入力された入力周波数に対して、分周器に設定された比率に応じて、倍加する回路動作を行なう。つまり、例えば、分周器の分周比が $1/2$ の場合には、入力周波数の2倍の周波数を、VCOの出力周波数として、取り出すことができる。

【0048】従って、上述した第1具体例に説明したように、CMOSプロセス用いて1チップ化した効果を奏するのみならず、本例の送信機によれば、より高い周波数を任意に選択でき、送信機としての使用範囲を拡大できる。

【0049】次に、本発明に係わる第3具体例の送信機を、図4に基づき説明する。

【0050】本例は、図4に示すように、上述した第2具体例の1チップ構成に、周波数倍加切替え手段15aを追加して、周波数倍加手段15の機能をバイパスさせ、より高い周波数のみならず、SAW発振子により一意的に決まる固定された周波数による送信をも選択可能にしたものである。

【0051】すなわち、図4に示すように、周波数倍加手段15に周波数倍加切替え手段15aを介装した構成とされ、これらの発振器12、変調器13、増幅器14、出力強度調整手段14a、周波数倍加手段15、周波数倍加切替え手段15aを、CMOSプロセスを用いて、単一チップ10上に形成し、1チップ化したものである。

【0052】従って、上述した第1具体例に説明したように、CMOSプロセス用いて1チップ化した効果を奏

するのみならず、本例の送信機によれば、より広範囲な送信周波数を任意に選択でき、送信機としての使用範囲を拡大できる。

【0053】次に、本発明に係わる第4具体例の送信機を、図5に基づき説明する。

【0054】本例は、図5に示すように、上述した第1具体例の1チップ構成に、分周手段17を追加して、SAW発振子により一意的に決まる固定された周波数により低い周波数の送信を可能にしたものである。

【0055】すなわち、図5に示すように、発振器12と、増幅器14との間に、分周手段17を介装した構成とされ、これらの発振器12、変調器13、増幅器14、出力強度調整手段14a、分周手段17を、CMOSプロセスを用いて、単一チップ10上に形成し、1チップ化したものである。

【0056】従って、上述した第1具体例に説明したように、CMOSプロセス用いて1チップ化した効果を奏するのみならず、本例の送信機によれば、SAW発振子により一意的に決まってしまう数百MHz以上といわれる発振周波数よりも低い周波数の送信が可能となり、送信機としての使用範囲を拡大できる。

【0057】次に、本発明に係わる第5具体例の送信機を、図6に基づき説明する。

【0058】本例は、図6に示すように、上述した第3具体例と第4具体例を組み合わせた構成である。つまり、上述した第1具体例の1チップ構成に、周波数倍加手段15、周波数倍加切替え手段15a、分周手段17を追加して、SAW発振子により一意的に決まる固定された数百MHzの周波数に対して、SAW発振子の発振周波数よりも低い周波数帯から高い周波数帯まで、より広範囲に送信できるようにしたものである。

【0059】すなわち、図6に示すように、発振器12と、増幅器14との間に、周波数倍加手段15、周波数倍加切替え手段15a、分周手段17を介装した構成とされ、これらの発振器12、変調器13、増幅器14、出力強度調整手段14a、周波数倍加手段15、周波数倍加切替え手段15a、分周手段17を、CMOSプロセスを用いて、単一チップ10上に形成し、1チップ化したものである。

【0060】従って、上述した第1具体例に説明したように、CMOSプロセス用いて1チップ化した効果を奏するのみならず、本例の送信機によれば、低い発振周波数帯から高い発振周波数帯まで、任意に選択でき、送信機としての使用範囲を拡大できる。

【0061】次に、本発明に係わる第6具体例の送信機を、図7及び図8に基づき説明する。

【0062】本例は、図7に示すように、上述した第1具体例の1チップ構成に、温度補償手段16を追加して、SAW発振子11の発振周波数を、その動作時における周囲の温度環境に拘らず、一定に安定化できるよう

にしたものである。

【0063】すなわち、図8のグラフに示すように、一般に、SAW発振子11においては、その発振周波数が、20℃から30℃附近を基準の頂点として、温度に依存した特性を有し、一定の発振周波数を発振するように設定しても、ある程度は温度環境により、周波数が変動してしまう。

【0064】そこで、本例においては、SAW発振子11の温度依存特性を、所定の許容範囲に収めるように、このSAW発振子11の温度依存特性と逆特性の温度補償手段16を、追加した構成とされている。

【0065】すなわち、再び図7に示すように、新たな温度補償手段16を追加して設け、温度補償手段16を発振器12に接続するとともに、これらの発振器12、変調器13、増幅器14、出力強度調整手段14a、温度補償手段16を、CMOSプロセスを用いて、単一チップ10上に形成し、1チップ化したものである。

【0066】尚、このような発振子の周波数-温度特性を、補正する温度補償手段16として、一般的に、1)直接補償型、2)間接補償型(アナログ)、3)間接補償型(デジタル)の3タイプが有るが、適宜、使用条件に応じて、いずれかを用いて良い。

【0067】従って、上述した各具体例に説明したように、CMOSプロセス用いて1チップ化した効果を奏するのみならず、SAW発振子11から得られる発振周波数を、使用時における温度環境の変化に拘らず、所定に安定化できるので、送信機としての性能や信頼性が向上できるとともに、使用する温度条件の制約を緩和することができる。

【0068】次に、本発明に係わる第7具体例の送信機を図9に基づき、説明する。

【0069】本例は、上述した第1具体例の1チップ構成に、第2具体例で追加した周波数倍加手段15と、第6具体例で追加した温度補償手段16とを、両方同時に追加搭載したものである。

【0070】すなわち、送信機の主要な構成要素である発振器12、変調器13、周波数倍加手段15、増幅器14、出力強度調整手段14a、温度補償手段16を、CMOSプロセスを用いて、単一チップ10上に形成し、1チップ化したものである。

【0071】従って、第2具体例及び第6具体例の効果を奏するのみならず、これらの構成要素を1チップ上に配置しているので、使用者の利便性や、製品部品としての信頼性を向上することができる。

【0072】次に、本発明に係わる第8具体例の送信機を、図10乃至図12に基づき説明する。

【0073】本例は、上述した第7具体例と同一な回路構成を、1チップ上に配置しており、このチップ10を封入した単一パッケージP内に、新たにSAW発振子11も、同時に収納したものである。

【0074】すなわち、図10及び図11に示すように、送信機の主要な構成要素である発振器12、変調器13、周波数倍加手段15、増幅器14、出力強度調整手段14a、温度補償手段16を、CMOSプロセスを用いて、単一チップ10上に形成し、1チップ化するとともに、このチップ10と、SAW発振器11とを同一パッケージP内に封入した構成とされている。

【0075】従って、このように送信機の主要な回路構成を搭載した1チップ10と、SAW発振器11とを、1パッケージ化したものにおいては、温度補償手段16が、SAW発振器11の近傍箇所で、且つ同一素材で同一の厚みのパッケージP内に、封入されることにより、同一に周囲温度環境の影響を受けることになり、温度補償手段16による補償感度や補償精度を向上することができ、周囲の変動する温度環境に対して、より安定した周波数を確保でき、送信機としての性能向上を図ることができる。

【0076】尚、図12に示すように、チップ10上にSAW発振器11を直接的に実装することによって、より安定動作化及び高性能化を図るようによい。

【0077】すなわち、図11に示すチップ10とSAW発振器11とは、一般的なワイヤボンディングの手法を用いて、結線接続されているが、図12に示すチップ10とSAW発振器11とは、このワイヤボンディング手法を用いずに、直接的に接続されている。

【0078】従って、ワイヤボンディングの不良に基づく動作不良を防止できるとともに、ワイヤ部分自体を不要にしているので、このワイヤ部分による容量性成分や誘導性成分が削除され、回路的な不安定要素を除去できるので、より高い高周波性能に対応することができる。

【0079】更に、発振子を含めた送信機における主要な構成要素を、1パッケージ内に集約して単一部品化しているので、使用者等が実装を行なっても、各個人により異なる個性的な特性差が生ぜずに済み、良好な組立て性や取扱い性を確保でき、組立てコストを減少できるとともに、安定した取り替え交換性を確保することができる。

【0080】また、このように1パッケージに単一部品化したので、送信機の主要構成を搭載した1チップとSAW発振器11との間の結線、配線不良や、互いに別部品の場合に生じる実装上の問題を未然に回避することができ、より設計通りの安定した性能発揮を期待することができる。

【0081】尚、温度補償手段16を有無に拘わらず、上述した第1具体例乃至第7具体例においても、本例と同様に1パッケージ化することにより、少なくとも、送信機の主要構成を搭載した1チップとSAW発振器11と間の信号伝達経路を安定確保したことによる効果を奏するようによい。

【0082】

【発明の効果】本願第1請求項に記載した発明は、SAW発振器と、前記発振器と発振回路を構成する発振器と、前記発振器の出力信号を変調する変調器と、前記変調器の出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0083】本願第2請求項に記載した発明は、SAW発振器と、前記発振器と発振回路を構成する発振器と、前記発振器の出力信号を倍加する周波数倍加手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナを備えた送信機において、少なくとも、前記発振器、前記周波数倍加手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0084】本願第3請求項に記載した発明は、SAW発振器と、前記発振器と発振回路を構成する発振器と、前記発振器の出力信号を倍加する周波数倍加手段と、前記周波数倍加手段の機能をバイパスさせる周波数倍加切替手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナを備えた送信機において、少なくとも、前記発振器、前記周波数倍加手段、前記周波数倍加切替手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0085】本願第4請求項に記載した発明は、SAW発振器と、前記発振器と発振回路を構成する発振器と、前記発振器の周波数を分周する分周手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナを備えた送信機において、少なくとも、前記発振器、前記分周手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0086】本願第5請求項に記載した発明は、SAW発振器と、前記発振器と発振回路を構成する発振器と、前記発振器の周波数を分周する分周手段と、前記発振器の出力信号を倍加する周波数倍加手段と、前記周波数倍加手段の機能をバイパスさせる周波数倍加切替手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機

において、少なくとも、前記発振器、前記分周手段、前記周波数倍加手段、前記周波数倍加切替え手段、前記変調器、前記増幅器および前記出力強度調整手段を、CMOSプロセスで1チップ化した構成とされている。

【0087】本願第6請求項に記載した発明は、SAW発振器と、前記発振器と発振回路を構成する発振器と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記SAW発振器における周波数の温度依存特性を補償する温度補償手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記変調器、前記増幅器、前記出力強度調整手段および前記温度補償手段を、CMOSプロセスで1チップ化した構成とされている。

【0088】本願第7請求項に記載した発明は、SAW発振器と、前記発振器と発振回路を構成する発振器と、前記発振器の出力信号を倍加する周波数倍加手段と、前記発振器の出力信号を変調する変調器と、変調された出力信号を増幅する増幅器と、前記増幅器の出力信号強度を調整する出力強度調整手段と、前記SAW発振器における周波数の温度依存特性を補償する温度補償手段と、前記増幅器の出力信号を電波として放出するアンテナとを備えた送信機において、少なくとも、前記発振器、前記周波数倍加手段、前記変調器、前記増幅器、前記出力強度調整手段および前記温度補償手段を、CMOSプロセスで1チップ化した構成とされている。

【0089】本願第8請求項に記載した発明は、第1乃至7請求項において、発振周波数の調整ができる周波数調整手段を設けた構成とされている。

【0090】本願第9請求項に記載した発明は、第1乃至7請求項において、前記発振器に、振幅シフトキーイング、又は周波数シフトキーイング、又は位相シフトキーイングを用いた構成とされている。

【0091】本願第10請求項に記載した発明は、第2、3、5または7請求項において、前記周波数倍加手段に、周波数 \times 2倍方式、又は、PLL方式を用いた構成とされている。

【0092】本願第11請求項に記載した発明は、第1乃至7請求項において、CMOSプロセスで1チップ化されたICと、SAW発振器とを1パッケージ化した構成とされている。

【0093】このように、本発明によれば、CMOSプロセスを用いて、このような通信機の主要な回路を1チ

ップに集約化しているもので、従来のGaAs、バイポーラ・プロセスを用いた回路構成に比べて、大幅な低コスト化及び低電力消費化を図ることができ、更に、より小型化も達成でき、これらに基づいた、効果を奏することができる。

【0094】また、1チップ化しているもので、使用者の利便性や、高性能化、安定動作化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1具体例に係り、送信機の全体構成を示す回路ブロック図。

【図2】本具体例に係る送信機の概略斜視図。

【図3】本発明の第2具体例に係り、送信機の全体構成を示す回路ブロック図。

【図4】本発明の第3具体例に係り、送信機の全体構成を示す回路ブロック図。

【図5】本発明の第4具体例に係り、送信機の全体構成を示す回路ブロック図。

【図6】本発明の第5具体例に係り、送信機の全体構成を示す回路ブロック図。

【図7】本発明の第6具体例に係り、送信機の全体構成を示す回路ブロック図。

【図8】本具体例に係り、発振器の温度依存特性を示すグラフ。

【図9】本発明の第7具体例に係り、送信機の全体構成を示す回路ブロック図。

【図10】本発明の第8具体例に係り、送信機の全体構成を示す回路ブロック図。

【図11】本具体例に係る送信機の概略斜視図。

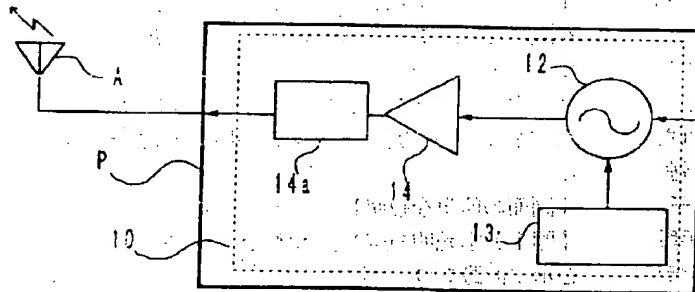
【図12】本具体例の送信機に係わる他の例の概略斜視図。

【符号の説明】

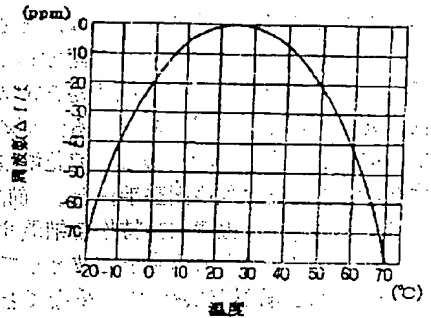
- 10 送信チップ
- 11 SAW発振器
- 12 発振器
- 13 変調器
- 14 増幅器

- 14a 出力強度調整手段
- 15 周波数倍加手段
- 15a 周波数倍加切替え手段
- 16 温度補償手段
- 17 分周手段
- A アンテナ
- P パッケージ

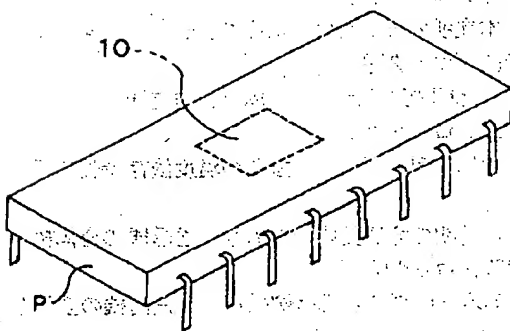
【図1】



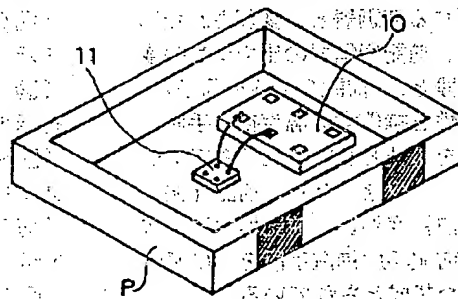
【図8】



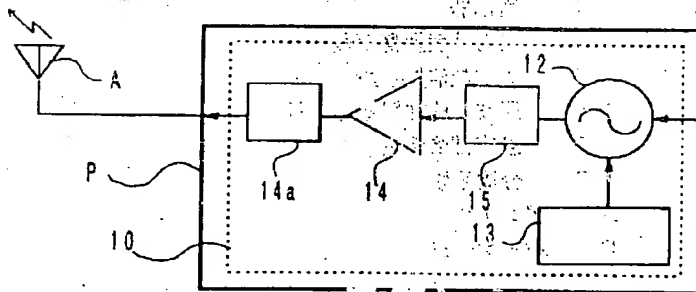
【図2】



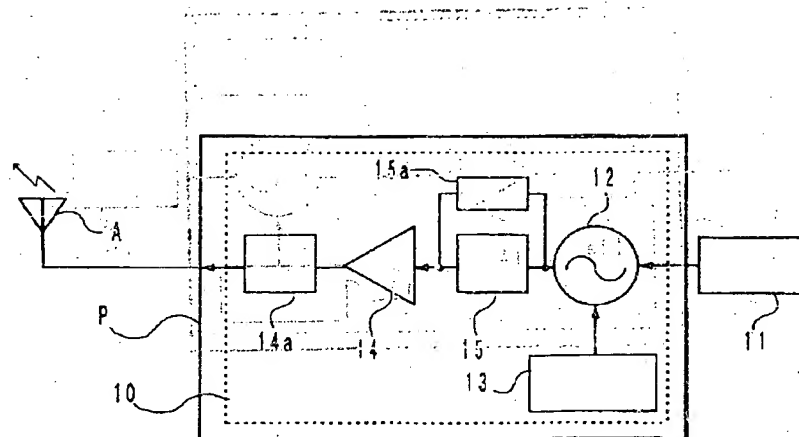
【図11】



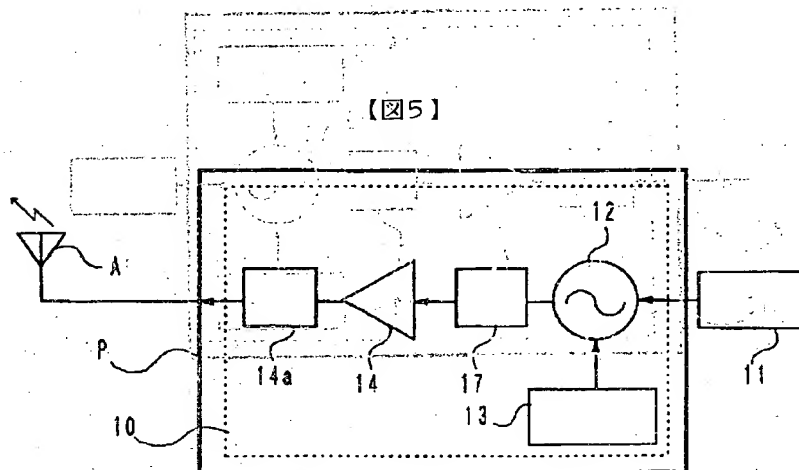
【図3】



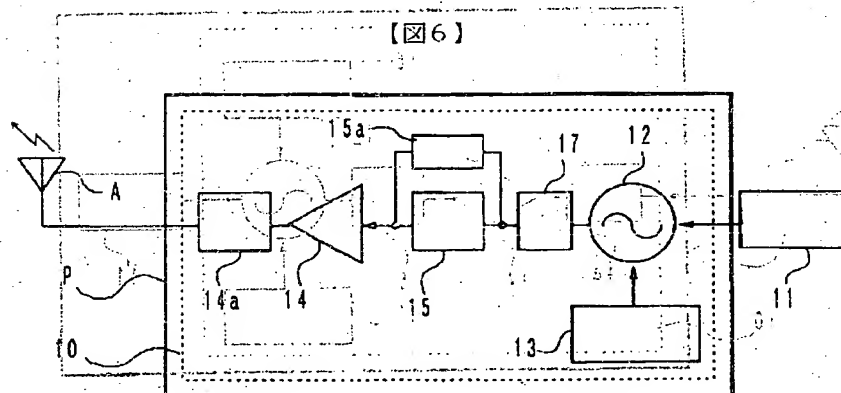
【図4】



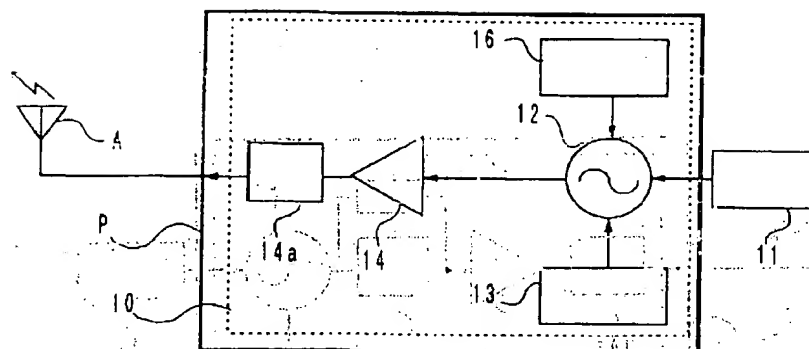
【図5】



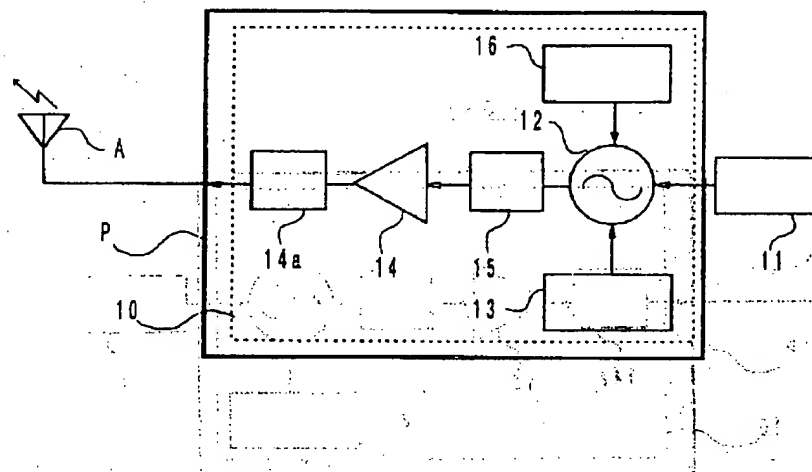
【図6】



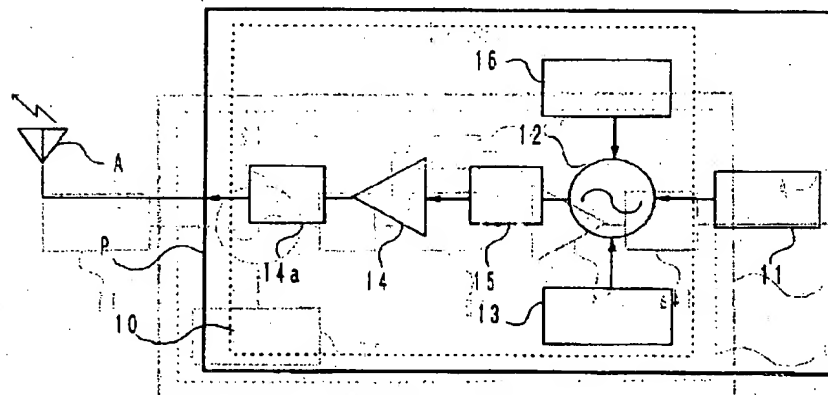
【図7】



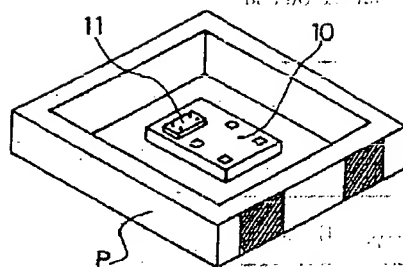
【図9】



【図10】



【図12】



フロントページの続き

Fターム(参考) 5J079 AA04 BA02 BA44 BA47 FA05
GA04 GA12 JA03 KA05
5K060 AA10 BB00 CC04 HH01 HH05
HH06 HH15 HH21 JJ22 KK06
LL01 LL15

the present invention is a method of manufacturing a semiconductor device, comprising the steps of: providing a substrate; forming a first layer on the substrate; forming a second layer on the first layer; and forming a third layer on the second layer.

The method of the present invention is a method of manufacturing a semiconductor device, comprising the steps of: providing a substrate; forming a first layer on the substrate; forming a second layer on the first layer; and forming a third layer on the second layer.

The method of the present invention is a method of manufacturing a semiconductor device, comprising the steps of: providing a substrate; forming a first layer on the substrate; forming a second layer on the first layer; and forming a third layer on the second layer.

OFFICE OF THE SECRETARY OF DEFENSE
WASHINGTON, D.C. 20301-4500

1. TITLE OF INVENTION (Required)

2. FULL NAME OF APPLICANT (Required)

3. FULL NAME OF INVENTOR (Required)

4. ADDRESS OF APPLICANT (Required)

5. ADDRESS OF INVENTOR (Required)

6. TITLE OF INVENTION (Optional)

7. FULL NAME OF APPLICANT (Optional)

8. FULL NAME OF INVENTOR (Optional)

9. ADDRESS OF APPLICANT (Optional)

10. ADDRESS OF INVENTOR (Optional)

11. TITLE OF INVENTION (Optional)

12. FULL NAME OF APPLICANT (Optional)

13. FULL NAME OF INVENTOR (Optional)

14. ADDRESS OF APPLICANT (Optional)

15. ADDRESS OF INVENTOR (Optional)

16. TITLE OF INVENTION (Optional)

17. FULL NAME OF APPLICANT (Optional)

18. FULL NAME OF INVENTOR (Optional)

19. ADDRESS OF APPLICANT (Optional)

20. ADDRESS OF INVENTOR (Optional)

21. TITLE OF INVENTION (Optional)

22. FULL NAME OF APPLICANT (Optional)

23. FULL NAME OF INVENTOR (Optional)

24. ADDRESS OF APPLICANT (Optional)

25. ADDRESS OF INVENTOR (Optional)

26. TITLE OF INVENTION (Optional)

27. FULL NAME OF APPLICANT (Optional)

28. FULL NAME OF INVENTOR (Optional)

29. ADDRESS OF APPLICANT (Optional)

30. ADDRESS OF INVENTOR (Optional)

31. TITLE OF INVENTION (Optional)

32. FULL NAME OF APPLICANT (Optional)

33. FULL NAME OF INVENTOR (Optional)

34. ADDRESS OF APPLICANT (Optional)

35. ADDRESS OF INVENTOR (Optional)

36. TITLE OF INVENTION (Optional)

37. FULL NAME OF APPLICANT (Optional)

38. FULL NAME OF INVENTOR (Optional)

39. ADDRESS OF APPLICANT (Optional)

40. ADDRESS OF INVENTOR (Optional)

41. TITLE OF INVENTION (Optional)

42. FULL NAME OF APPLICANT (Optional)

43. FULL NAME OF INVENTOR (Optional)

44. ADDRESS OF APPLICANT (Optional)

45. ADDRESS OF INVENTOR (Optional)

46. TITLE OF INVENTION (Optional)

47. FULL NAME OF APPLICANT (Optional)

48. FULL NAME OF INVENTOR (Optional)

49. ADDRESS OF APPLICANT (Optional)

50. ADDRESS OF INVENTOR (Optional)

51. TITLE OF INVENTION (Optional)

52. FULL NAME OF APPLICANT (Optional)

53. FULL NAME OF INVENTOR (Optional)

54. ADDRESS OF APPLICANT (Optional)

55. ADDRESS OF INVENTOR (Optional)

56. TITLE OF INVENTION (Optional)

57. FULL NAME OF APPLICANT (Optional)

58. FULL NAME OF INVENTOR (Optional)

59. ADDRESS OF APPLICANT (Optional)

60. ADDRESS OF INVENTOR (Optional)

61. TITLE OF INVENTION (Optional)

62. FULL NAME OF APPLICANT (Optional)

63. FULL NAME OF INVENTOR (Optional)

64. ADDRESS OF APPLICANT (Optional)

65. ADDRESS OF INVENTOR (Optional)

66. TITLE OF INVENTION (Optional)

67. FULL NAME OF APPLICANT (Optional)

68. FULL NAME OF INVENTOR (Optional)

69. ADDRESS OF APPLICANT (Optional)

70. ADDRESS OF INVENTOR (Optional)

71. TITLE OF INVENTION (Optional)

72. FULL NAME OF APPLICANT (Optional)

73. FULL NAME OF INVENTOR (Optional)

74. ADDRESS OF APPLICANT (Optional)

75. ADDRESS OF INVENTOR (Optional)

76. TITLE OF INVENTION (Optional)

77. FULL NAME OF APPLICANT (Optional)

78. FULL NAME OF INVENTOR (Optional)

79. ADDRESS OF APPLICANT (Optional)

80. ADDRESS OF INVENTOR (Optional)

81. TITLE OF INVENTION (Optional)

82. FULL NAME OF APPLICANT (Optional)

83. FULL NAME OF INVENTOR (Optional)

84. ADDRESS OF APPLICANT (Optional)

85. ADDRESS OF INVENTOR (Optional)

86. TITLE OF INVENTION (Optional)

87. FULL NAME OF APPLICANT (Optional)

88. FULL NAME OF INVENTOR (Optional)

89. ADDRESS OF APPLICANT (Optional)

90. ADDRESS OF INVENTOR (Optional)

91. TITLE OF INVENTION (Optional)

92. FULL NAME OF APPLICANT (Optional)

93. FULL NAME OF INVENTOR (Optional)

94. ADDRESS OF APPLICANT (Optional)

95. ADDRESS OF INVENTOR (Optional)

96. TITLE OF INVENTION (Optional)

97. FULL NAME OF APPLICANT (Optional)

98. FULL NAME OF INVENTOR (Optional)

99. ADDRESS OF APPLICANT (Optional)

100. ADDRESS OF INVENTOR (Optional)